

(11)Publication number : 10-040366

(43)Date of publication of application : 13.02.1998

(51)Int.Cl. G06T 1/60
 G06T 1/00
 H04N 1/41
 H04N 7/30

(21)Application number : 08-190625

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 19.07.1996

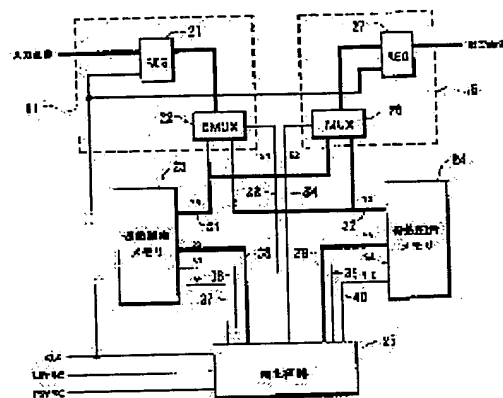
(72)Inventor : ICHIYANAGI YOSHIO

(54) IMAGE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processor by which raster sequential image data can be converted into block sequential image data, or the block sequential image data can be converted into the raster sequential image data at low cost without sacrificing the operating speed.

SOLUTION: This device is provided with an even numbered pixels memory 23 and an odd numbered pixel memory 24. The operation of writing inputted odd pixel data in the odd numbered pixel memory 24 at the time of reading odd numbered pixels from the odd numbered pixels memory 23, and the operation of writing inputted even numbered pixels in the even numbered pixel memory 23 at the time of reading odd numbered pixels from the odd numbered pixel memory 24 are repeatedly executed under the control of a control circuit 25. Then, the control circuit 25 makes the address generation order of the even numbered pixel memory 23 and the odd numbered pixel memory 24 at the time of writing different from that at the time of reading.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

BEST AVAILABLE COPY

(51) Int. Cl. 6	識別記号	庁内整理番号	F I	技術表示箇所
G06T 1/60			G06F 15/64	450 F
			H04N 1/41	B
H04N 1/41			G06F 15/66	330 P
			H04N 7/133	Z

審査請求 未請求 請求項の数 1 O L (全13頁)

(21) 出願番号 特願平8-190625

(22) 出願日 平成8年(1996)7月19日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 一柳 好男

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

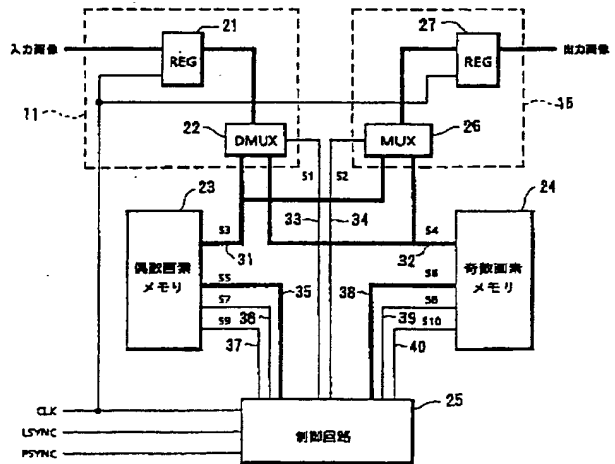
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 書き込みと読み出しを連続して行っていたため、1画素当りの書き込みおよび読み出しに2倍の時間を要していた。

【解決手段】 偶数画素メモリ23と奇数画素メモリ24とを設け、偶数画素メモリ23からの偶数画素読み出し時に、入力された奇数画素データを奇数画素メモリ24に書き込み、奇数画素メモリ24からの奇数画素読み出し時に、入力された偶数画素データを偶数画素メモリ23に書き込むという動作を、制御回路25の制御の下に繰り返して実行する。そして、制御回路25は、偶数画素メモリ23および奇数画素メモリ24のアドレス発生順を、書き込み時と読み出し時に異ならせるようにする。



一実施形態に係る画像処理装置の具体的な構成を示すブロック図

【特許請求の範囲】

【請求項1】 入力画像データの先頭から $2n$ ($n=0, 1, 2, \dots$) の位置にある偶数画素データと $2n+1$ ($n=0, 1, 2, \dots$) の位置にある奇数画素データとを選択して入力する入力手段と、

前記偶数画素データを記憶する偶数画素記憶手段と、

前記奇数画素データを記憶する奇数画素記憶手段と、

前記奇数画素記憶手段からの奇数画素データの読み出しに同期して前記偶数画素記憶手段への偶数画素データの書き込みを行い、前記偶数画素記憶手段からの偶数画素データの読み出しに同期して前記奇数画素記憶手段への奇数画素データの書き込みを行う制御手段と、

前記偶数画素記憶手段から読み出された偶数画素データと前記奇数画素記憶手段から読み出された奇数画素データとを選択して出力する出力手段とを備えたことを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像データを処理する画像処理装置に関し、特にラスタ順次に入力される画像データをブロック順次の画像データに、またはブロック順次に入力される画像データをラスタ順次の画像データに変換する画像処理装置に関するものである。

【0002】

【従来の技術】従来より、多値画像データの圧縮技術として、国際標準のJPEG (Joint Photographic Expert Group) 方式がある。このJPEG方式による圧縮技術では、ラスタ順次で入力されたRGB画素成分をYUV画素成分に変換する。こうして得られたYUV画素データは、 8×8 ブロック単位でDCT (discrete cosine transform; 離散コサイン変換) 変換されて空間周波数成分となる。この空間周波数に変換されたものはDCT係数と称される。そして、このDCT係数は輝度成分

(Y) と色度成分 (U, V) の2種類の 8×8 単位で量子化される。なお、ここでの量子化係数は、可変長符号化方式であるハフマン符号化係数による。

【0003】DCT変換では 8×8 ブロック単位で処理を行うため、DCT変換処理の前段階で、ラスタ順次で入力された画素データをブロック順次の画素データに変換しなければならない。この変換処理をハードウェアで実現するために、少なくとも8ライン分のメモリを用意し、1度書き込まれた画素データに対して読み出し順序を変える構成を採っている。

【0004】また、この変換をパイプライン的に行うためには、2つの8ラインメモリを用意し、書き込みと読み出しを同時に行うことにより実現するのが一般的である。具体的には、8ラインの画素データを1つ目のラインメモリに書き込んでいるときには、以前の8ラインの画素データを2つ目のラインメモリから読み出して、8ライン分のラスタブロック変換を行う。次に、逆に1

つ目のラインメモリから画素データを読み出して、2つ目のラインメモリに書き込むという動作を繰り返す。

【0005】

【発明が解決しようとする課題】上述したように、JPEG方式による圧縮技術を用いた画像処理装置では、ハードウェアでパイプライン的にラスタブロックの変換を実現するようにしているため、8ライン分のメモリを2個用意しなければならない、よって装置のコスト上昇を招くという問題があった。この問題を解決するために、同一メモリの同一アドレスに対して画素データの読み出し/書き込みを順次行うことにより、ラスタブロック変換を行う画像処理装置が提案されている (例えば、特開平6-326997号公報、特開平8-18791号公報参照)。

【0006】この従来技術に係る画像処理装置では、メモリが1個で済むことから、メモリコストを半減できるという利点がある反面、書き込みと読み出しを連続して行うために、1画素当りの書き込みおよび読み出しに2倍の時間を要することになる。すなわち、1画素の読み出しと書き込みに共に1クロック相当の時間がかかる場合、例えばある画素の書き込みから次の画素の書き込みまでの間に読み出しのための1クロックの待ち時間が入るため、1画素の書き込みには計2クロック相当の時間がかかることになる。1画素の読み出しも同様に2クロック相当の時間が必要となる。このように、メモリコストについては半減できるものの、装置の性能、即ち動作速度が犠牲になってしまうという問題があった。

【0007】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、低コストにて動作速度を犠牲にすることなくラスタ順次の画像データをブロック順次の画像データに、またはブロック順次の画像データをラスタ順次の画像データに変換することが可能な画像処理装置を提供することにある。

【0008】

【課題を解決するための手段】本発明による画像処理装置は、入力画像データの先頭から $2n$ ($n=0, 1, 2, \dots$) の位置にある偶数画素データと $2n+1$ ($n=0, 1, 2, \dots$) の位置にある奇数画素データとを選択して入力する入力手段と、偶数画素データを記憶する偶数画素記憶手段と、奇数画素データを記憶する奇数画素記憶手段と、奇数画素記憶手段からの奇数画素データの読み出しに同期して偶数画素記憶手段への偶数画素データの書き込みを行い、偶数画素記憶手段からの偶数画素データの読み出しに同期して奇数画素記憶手段への奇数画素データの書き込みを行う制御手段と、偶数画素記憶手段から読み出された偶数画素データと奇数画素記憶手段から読み出された奇数画素データとを選択して出力する出力手段とを備えた構成となっている。

【0009】上記構成の画像処理装置において、偶数画素記憶手段からの偶数画素読み出し時に、入力された奇

数画素データを奇数画素記憶手段に書き込み、奇数画素記憶手段からの奇数画素読み出し時に、入力された偶数画素データを偶数画素記憶手段に書き込むという動作を制御手段の制御の下に繰り返して実行する。そして、制御手段は、偶数画素記憶手段および奇数画素記憶手段のアドレス発生順を、書き込み時と読み出し時に異ならせる。これにより、ラスタ順次に入力される画像データがブロック順次の画像データに、あるいはブロック順次に入力される画像データがラスタ順次の画像データに変換される。

【0010】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しつつ詳細に説明する。図1は、本発明の一実施形態の基本構成を示すブロック図である。図1において、本実施形態に係る画像処理装置は、入力画像データの先頭から $2n$ ($n=0, 1, 2, \dots$) の位置にある偶数画素データと $2n+1$ ($n=0, 1, 2, \dots$) の位置にある奇数画素データとを選択して入力する入力手段11と、偶数画素データを記憶する偶数画素記憶手段12と、奇数画素データを記憶する奇数画素記憶手段13と、奇数画素記憶手段13からの奇数画素データの読み出しに同期して偶数画素記憶手段12への偶数画素データの書き込みを行い、偶数画素記憶手段12からの偶数画素データの読み出しに同期して奇数画素記憶手段13への奇数画素データの書き込みを行う制御手段14と、偶数画素記憶手段12から読み出された偶数画素データと奇数画素記憶手段13から読み出された奇数画素データとを選択して出力する出力手段15とから構成されている。

【0011】図2は、本実施形態に係る画像処理装置の具体的な構成の一例を示すブロック図であり、図中、図1と同等部分には同一符号を付して示す。図2において、レジスタ(REG)21およびデマルチプレクサ(DMUX)22によって入力手段11が、マルチプレクサ(MUX)26およびレジスタ27によって出力手段15がそれぞれ構成され、偶数画素メモリ23が偶数画素記憶手段12に、奇数画素メモリ24が奇数画素記憶手段13に、制御回路25が制御手段14にそれぞれ対応している。

【0012】そして、デマルチプレクサ22の一方のデータ出力端およびマルチプレクサ26の一方のデータ入力端はデータバス31を介して偶数画素メモリ23のデータ入出力端に、デマルチプレクサ22の他方のデータ出力端およびマルチプレクサ26の他方のデータ入力端はデータバス32を介して奇数画素メモリ24のデータ入出力端にそれぞれ接続されている。

【0013】デマルチプレクサ22およびマルチプレクサ26の各制御入力端は、信号線33、34を介して制御回路25に接続されている。偶数画素メモリ23のアドレス入力端はアドレスバス35を介して制御回路25

に接続され、さらにそのライトイネーブル入力端およびリードイネーブル入力端は信号線36、37を介して制御回路25に接続されている。また、奇数画素メモリ24のアドレス入力端はアドレスバス38を介して制御回路25に接続され、さらにそのライトイネーブル入力端およびリードイネーブル入力端は信号線39、40を介して制御回路25に接続されている。

【0014】制御回路25は、システムクロックCLK、ライン同期信号LSYNC、ページ同期信号PSYNCを入力とし、これらの信号に基づいてデマルチプレクサ22の選択信号S1、マルチプレクサ26の選択信号S2、偶数画素メモリ23のアドレス信号S5、奇数画素メモリ24のアドレス信号S6、偶数画素メモリ23のライトイネーブル信号S7、奇数画素メモリ24のライトイネーブル信号S8、偶数画素メモリ23のリードイネーブル信号S9、奇数画素メモリ24のリードイネーブル信号S10を生成して出力する。

【0015】上記構成の画像処理装置において、入力側のレジスタ21は、入力画像データをシステムクロックCLKに同期化させ、デマルチプレクサ22に供給する。出力側のレジスタ27は、マルチプレクサ26の出力データをシステムクロックCLKに同期化させて出力画像データとして出力する。

【0016】デマルチプレクサ22は、制御回路25から信号線33を介して与えられる選択信号S1が論理“0”（以下、単に0と称す）のとき、データバス31を介して偶数画素メモリ23にデータを出力し、選択信号S1が論理“1”（以下、単に1と称す）のとき、データバス32を介して奇数画素メモリ24にデータを出力する。マルチプレクサ26は、制御回路25から信号線34を介して与えられる選択信号S2が0のとき、データバス31を介して偶数画素メモリ23のデータを出力し、選択信号S2が1のとき、データバス32を介して奇数画素メモリ24のデータを出力する。

【0017】偶数画素メモリ23においては、制御回路25から信号線36を介して与えられるライトイネーブル信号S7が0となったとき、制御回路25からアドレスバス35を介して与えられるアドレス信号S5による指定アドレスにデータが書き込まれ、制御回路25から信号線37を介して与えられるリードイネーブル信号S9が0となったとき、指定アドレスのデータが読み出される。奇数画素メモリ24においては、制御回路25から信号線39を介して与えられるライトイネーブル信号S8が0となったとき、制御回路25からアドレスバス38を介して与えられるアドレス信号S6による指定アドレスにデータが書き込まれ、制御回路25から信号線40を介して与えられるリードイネーブル信号S10が0となったとき、指定アドレスのデータが読み出される。

【0018】図3にラスタ順次画像データを、図4に

ブロック順次画像データをそれぞれ示す。ラスタ順次画像データは、図3において、左上を起点に、左から右、上から下の順番で入力される。ブロック順次画像データは、図4において、ブロック内の左上を起点に、左から右、上から下の順番で入力される。すなわち、ブロック1、ブロック2、…という順番で入力される。図4の例では、主走査方向が2ブロックとなっているが、このブロック数に限定されるものではない。

【0019】図5に、入力画素データと偶数画素メモリ23および奇数画素メモリ24のアドレスの対応関係を示す。図5の例では、主走査1ライン16画素で副走査8ライン分のアドレスを示している。

【0020】以下、図2、図3、図5～図8を用いて、ラスタ順次からブロック順次へ変換する動作について説明する。なお、図6、図7および図8のタイミングチャートにおいて、S1～S10等の信号名は、図2に示した各信号に対応しており、また“—”は“Don't Care”を意味するものとする。

【0021】まず、図6において、時刻t1よりページ同期信号PSYNCが1、ライン同期信号LSYNCが1となると、1ライン目の1画素目の画像データ100がシステムクロックCLKの立ち上がりに同期して入力される。時刻t2において、選択信号S1が0なので、デマルチプレクサ22を介してデータバス31にレジスタ21の出力データである画像データS3(100)が出力され、同時に偶数画素メモリ23のライトイネーブル信号S7が0となっているので、画像データS3(100)は偶数画素メモリ23のアドレス信号S5による指定アドレス0に書き込まれる。

【0022】時刻t3において、選択信号S1が1なので、デマルチプレクサ22を介してデータバス32にレジスタ21の出力データである画像データS4(101)が出力され、同時に奇数画素メモリ24のライトイネーブル信号S8が0となっているので、画像データS4(101)は奇数画素メモリ24のアドレス信号S6による指定アドレス0に書き込まれる。時刻t4において、選択信号S1が0なので、デマルチプレクサ22を介してデータバス31にレジスタ21の出力データである画像データS3(102)が出力され、同時に偶数画素メモリ23のライトイネーブル信号S7が0となっているので、画像データS3(102)は偶数画素メモリ23のアドレス信号S5による指定アドレス1に書き込まれる。

【0023】以上の期間中、偶数画素メモリ23のリードイネーブル信号S9と奇数画素メモリ24のリードイネーブル信号S10がアクティブになっているため、出力にはメモリの初期値が出力されている。以上の動作を8ライン分同様にして繰り返す。

【0024】図7において、すでに偶数画素メモリ23と奇数画素メモリ24には、8ライン分のラスタ順次

の画像データが記憶されており、これらを読み出しながらブロック順次の画像データに変換する。時刻t1よりライン同期信号LSYNCが1となると、9ライン目の1画素目の画像データ900がシステムクロックCLKの立ち上がりに同期して入力される。同時に、偶数画素メモリ23のリードイネーブル信号S9が0となるため、1ライン目の1画素目の画像データS3(100)が、偶数画素メモリ23のアドレス信号S5による指定アドレス0から読み出される。さらに、選択信号S2が0なので、マルチプレクサ26から画像データS3(100)が出力される。

【0025】時刻t2において、選択信号S1が0なので、デマルチプレクサ22を介してデータバス31にレジスタ21の出力データである画像データS3(900)が出力され、同時に偶数画素メモリ23のライトイネーブル信号S7が0となっているので、画像データS3(900)は偶数画素メモリ23のアドレス信号S5による指定アドレス0に書き込まれる。このとき、奇数画素メモリ24のリードイネーブル信号S10が0となるため、1ライン目の2画素目の画像データS4(101)が、奇数画素メモリ24のアドレス信号S6による指定アドレス0から読み出される。さらに、選択信号S2が1なので、マルチプレクサ26から画像データS4(101)が出力される。また、レジスタ27に時刻t1の画像データS3(100)が記憶され、出力画像データとして出力される。

【0026】時刻t3において、選択信号S1が1なので、デマルチプレクサ22を介してデータバス32にレジスタ21の出力データである画像データS4(901)が出力され、同時に奇数画素メモリ24のライトイネーブル信号S8が0となっているので、画像データS4(901)は奇数画素メモリ24のアドレス信号S6による指定アドレス0に書き込まれる。このとき、偶数画素メモリ23のリードイネーブル信号S9が0となるため、1ライン目の3画素目の画像データS3(102)が、偶数画素メモリ23のアドレス信号S5による指定アドレス1から読み出される。さらに、選択信号S2が0なので、マルチプレクサ26から画像データS3(102)が出力される。また、レジスタ27に時刻t2の画像データS4(101)が記憶され、出力画像データとして出力される。

【0027】以上の動作を同様にして繰り返す。時刻t9において、選択信号S1が1なので、デマルチプレクサ22を介してデータバス32にレジスタ21の出力データである画像データS4(907)が出力され、同時に奇数画素メモリ24のライトイネーブル信号S8が0となっているので、画像データS4(907)は奇数画素メモリ24のアドレス信号S6による指定アドレス3に書き込まれる。このとき、偶数画素メモリ23のリードイネーブル信号S9が0となるため、2ライン目の1

画素目の画像データS3(200)が、偶数画素メモリ23のアドレス信号S5による指定アドレス8から読み出される。さらに、選択信号S2が0なので、マルチプレクサ26から画像データS3(200)が出力される。また、レジスタ27に時刻t8の画像データS4(107)が記憶され、出力画像データとして出力される。

【0028】時刻t10において、選択信号S1が0なので、デマルチプレクサ22を介してデータバス31にレジスタ21の出力データである画像データS3(908)が出力され、同時に偶数画素メモリ23のライトイネーブル信号S7が0となっているので、画像データS3(908)は偶数画素メモリ23のアドレス信号S5による指定アドレス8に書き込まれる。このとき、奇数画素メモリ24のリードイネーブル信号S10が0となるため、2ライン目の2画素目の画像データS4(201)が、奇数画素メモリ24のアドレス信号S6による指定アドレス8から読み出される。さらに、選択信号S2が1なので、マルチプレクサ26から画像データS4(201)が出力される。また、レジスタ27に時刻t9の画像データS3(200)が記憶され、出力画像データとして出力される。

【0029】以上の動作を同様にして繰り返す。図8には、10ライン目の画像入力に対しての画像出力動作タイミングを示している。

【0030】次に、図2、図4、図5および図9～図11を用いて、ブロック順次からラスタ順次へ変換する動作について説明する。なお、図9、図10および図11のタイミングチャートにおいて、S1～S10等の信号名は、図2に示した各信号に対応しており、また“—”は“Don't Care”を意味するものとする。

【0031】まず、図9において、時刻t1よりページ同期信号PSYNCが1、ライン同期信号LSYNCが1となると、ブロック1のライン1の1画素目の画像データ100がシステムクロックCLKの立ち上がりに同期して入力される。時刻t2において、選択信号S1が0なので、デマルチプレクサ22を介してデータバス31にレジスタ21の出力データである画像データS3(100)が出力され、同時に偶数画素メモリ23のライトイネーブル信号S7が0となっているので、画像データS3(100)は偶数画素メモリ23のアドレス信号S5による指定アドレス0に書き込まれる。

【0032】時刻t3において、選択信号S1が1なので、デマルチプレクサ22を介してデータバス32にレジスタ21の出力データである画像データS4(101)が出力され、同時に奇数画素メモリ24のライトイネーブル信号S8が0となっているので、画像データS4(101)は奇数画素メモリ24のアドレス信号S6による指定アドレス0に書き込まれる。時刻t4において、選択信号S1が0なので、デマルチプレクサ22を

介してデータバス31にレジスタ21の出力データである画像データS3(102)が出力され、同時に偶数画素メモリ23のライトイネーブル信号S7が0となっているので、画像データS3(102)は偶数画素メモリ23のアドレス信号S5による指定アドレス1に書き込まれる。

【0033】以上の期間中、偶数画素メモリ23のリードイネーブル信号S9と奇数画素メモリ24のリードイネーブル信号S10がアクティブになっているため、出力にはメモリの初期値が出力されている。時刻t9からは、ブロック順次画像データであるためブロック1のライン2の1画素目の画像データ200が入力される。以上の動作を8ライン分同様にして繰り返す。

【0034】図10において、すでに偶数画素メモリ23と奇数画素メモリ24には、ブロック1とブロック2の計8ライン分のブロック順次の画像データが記憶されており、これらを読み出しながらラスタ順次の画像データに変換する。時刻t1よりライン同期信号LSYNCが1となると、ブロック3のライン1の1画素目の画像データ900が、システムクロックCLKの立ち上がりに同期して入力される。同時に、偶数画素メモリ23のリードイネーブル信号S9が0となるため、ブロック1のライン1の1画素目の画像データS3(100)が、偶数画素メモリ23のアドレス信号S5による指定アドレス0から読み出される。さらに、選択信号S2が0なので、マルチプレクサ26から画像データS3(100)が出力される。

【0035】時刻t2において、選択信号S1が0なので、デマルチプレクサ22を介してデータバス31にレジスタ21の出力データである画像データS3(900)が出力され、同時に偶数画素メモリ23のライトイネーブル信号S7が0となっているので、画像データS3(900)は偶数画素メモリ23のアドレス信号S5による指定アドレス0に書き込まれる。このとき、奇数画素メモリ24のリードイネーブル信号S10が0となるため、ライン1の2画素目の画像データS4(101)が、奇数画素メモリ24のアドレス信号S6による指定アドレス0から読み出される。さらに、選択信号S2が1なので、マルチプレクサ26から画像データS4(101)が出力される。また、レジスタ27に時刻t1の画像データS3(100)が記憶され、出力画像データとして出力される。

【0036】時刻t3において、選択信号S1が1なので、デマルチプレクサ23を介してデータバス32にレジスタ21の出力データである画像データS4(901)が出力され、同時に奇数画素メモリ24のライトイネーブル信号S8が0となっているので、画像データS4(901)は奇数画素メモリ24のアドレス信号S6による指定アドレス0に書き込まれる。このとき、偶数画素メモリ23のリードイネーブル信号S9が0となる

ため、ライン1の3画素目の画像データS3(102)が、偶数画素メモリ23のアドレス信号S5による指定アドレス1から読み出される。さらに、選択信号S2が0なので、マルチプレクサ26から画像データS3(102)が出力される。また、レジスタ27に時刻t2の画像データS4(101)が記憶され、出力画像データとして出力される。

【0037】以上の動作を同様にして繰り返す。時刻t9において、選択信号S1が1なので、デマルチプレクサ22を介してデータバス32にレジスタ21の出力データである画像データS4(907)が出力され、同時に奇数画素メモリ24のライトイネーブル信号S8が0となっているので、画像データS4(907)は奇数画素メモリ24のアドレス信号S6による指定アドレス3に書き込まれる。このとき、偶数画素メモリ23のリードイネーブル信号S9が0となるため、ライン1の9画素目の画像データS3(108)が、偶数画素メモリ23のアドレス信号S5による指定アドレス4から読み出される。さらに、選択信号S2が0なので、マルチプレクサ26から画像データS3(108)が出力される。また、レジスタ27に時刻t8の画像データS4(107)が記憶され、出力画像データとして出力される。

【0038】時刻t10において、選択信号S1が0なので、デマルチプレクサ22を介してデータバス31にレジスタ21の出力データである画像データS3(1000)が出力され、同時に偶数画素メモリ23のライトイネーブル信号S7が0となっているので、画像データS3(1000)は偶数画素メモリ23のアドレス信号S5による指定アドレス4に書き込まれる。このとき、奇数画素メモリ24のリードイネーブル信号S10が0となるため、ライン1の9画素目の画像データS4(109)が、奇数画素メモリ24のアドレス信号S6による指定アドレス4から読み出される。さらに、選択信号S2が1なので、マルチプレクサ26から画像データS4(109)が出力される。また、レジスタ27に時刻t9の画像データS3(108)が記憶され、出力画像データとして出力される。

【0039】以上の動作を同様にして繰り返す。図11には、ブロック3のライン3の画像入力に対しての画像出力動作タイミングを示している。

【0040】上述したように、偶数画素メモリ23と奇数画素メモリ24とを設け、偶数画素メモリ23からの偶数画素読み出し時に、入力された奇数画素データを奇数画素メモリ24に書き込み、奇数画素メモリ24からの奇数画素読み出し時に、入力された偶数画素データを偶数画素メモリ23に書き込むという動作を繰り返して実行し、偶数画素メモリ23および奇数画素メモリ24のアドレス発生順を、書き込み時と読み出し時に異ならせるようにしたことにより、ラスタ順次に入力される画像データをブロック順次の画像データに、あるいはブ

ロック順次の画像データをラスタ順次の画像データに変換できる。

【0041】ここで、画像データを記憶するメモリに着目すると、8×8サイズでラスタ順次からブロック順次へ、またはブロック順次からラスタ順次へ変換する場合に、従来は8ライン分の画像データを記憶可能なメモリが2つ必要であったのに対し、本実施形態に係る画像処理装置では、偶数画素分および奇数画素分が格納できる4ライン分の容量のメモリが各々1個ずつ計2個で良いため、メモリコストを半減できる。また、メモリが1つの場合では、動作速度が犠牲になっていたが、本実施形態に係る画像処理装置によれば、メモリが1つの場合と同程度のコストにて、動作速度を低下させることなくラスタ順次からブロック順次への変換、またはブロック順次からラスタ順次への変換を行うことができる。

【0042】

【発明の効果】以上説明したように、本発明によれば、偶数画素記憶手段と奇数画素記憶手段とを設け、偶数画素記憶手段からの偶数画素読み出し時に、入力された奇数画素データを奇数画素記憶手段に書き込み、奇数画素記憶手段からの奇数画素読み出し時に、入力された偶数画素データを偶数画素記憶手段に書き込むという動作を繰り返し、偶数画素記憶手段および奇数画素記憶手段のアドレス発生順を、書き込み時と読み出し時に異ならせるようにしたので、低コストにて動作速度を犠牲にすることなくラスタ順次の画像データをブロック順次の画像データに、またはブロック順次の画像データをラスタ順次の画像データに変換することができることとなる。

【図面の簡単な説明】

【図1】 本発明の一実施形態の基本構成を示すブロック図である。

【図2】 一実施形態に係る画像処理装置の具体的な構成の一例を示すブロック図である。

【図3】 ラスタ順次の画像データを示す図である。

【図4】 ブロック順次の画像データを示す図である。

【図5】 16×8画素分の偶数画素メモリと奇数画素メモリのアドレスを示す図である。

【図6】 ラスタ順次からブロック順次へ変換する動作を説明するタイミングチャート(その1)である。

【図7】 ラスタ順次からブロック順次へ変換する動作を説明するタイミングチャート(その2)である。

【図8】 ラスタ順次からブロック順次へ変換する動作を説明するタイミングチャート(その3)である。

【図9】 ブロック順次からラスタ順次へ変換する動作を説明するタイミングチャート(その1)である。

【図10】 ブロック順次からラスタ順次へ変換する動作を説明するタイミングチャート(その2)である。

【図11】 ブロック順次からラスタ順次へ変換する

動作を説明するタイミングチャート(その3)である。

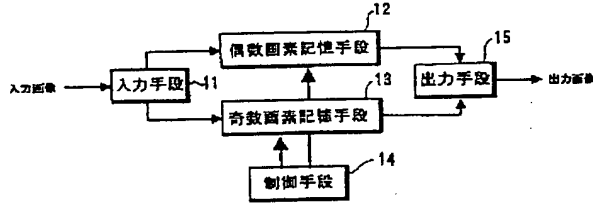
【符号の説明】

- 1 1 入力手段
- 1 2 偶数画素記憶手段
- 1 3 奇数画素記憶手段
- 1 4 制御手段
- 1 5 出力手段
- 2 1, 2 7 レジスタ

スタ

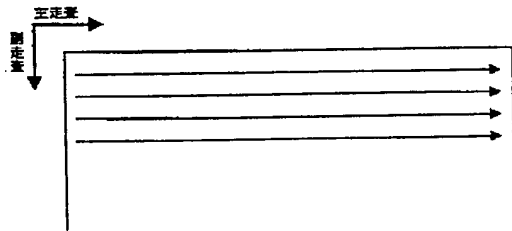
- 2 2 デマルチプレクサ
- 2 3 偶数画素メモリ
- 2 4 奇数画素メモリ
- 2 6 マルチプレクサ
- 2 5 制御回路

【図1】



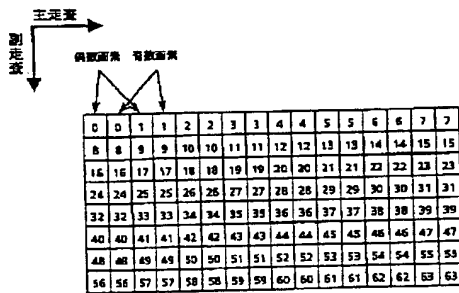
本発明の一実施形態の基本構成を示すブロック図

【図3】



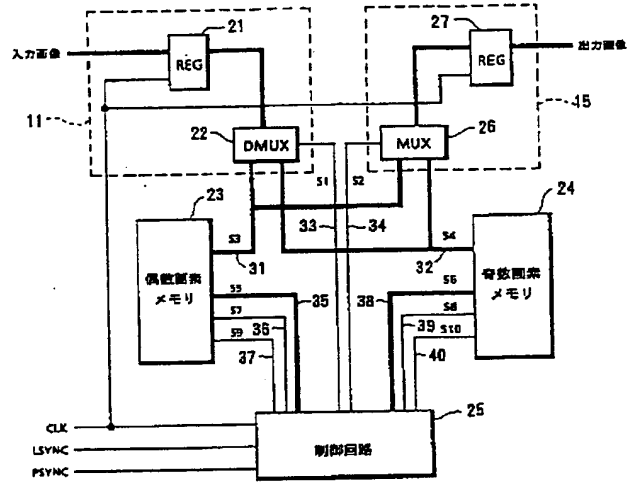
ラスタ順次の画像データを示す図

【図5】



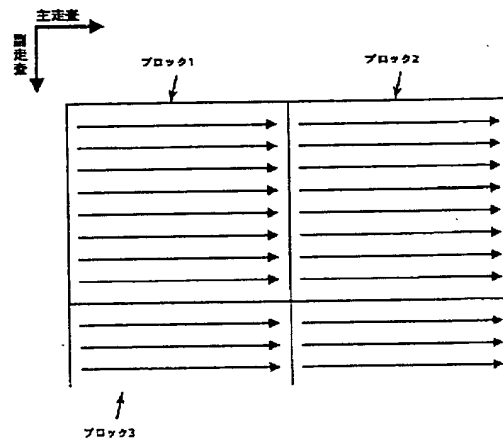
偶数画素メモリと奇数画素メモリのアドレスを示す図

【図2】



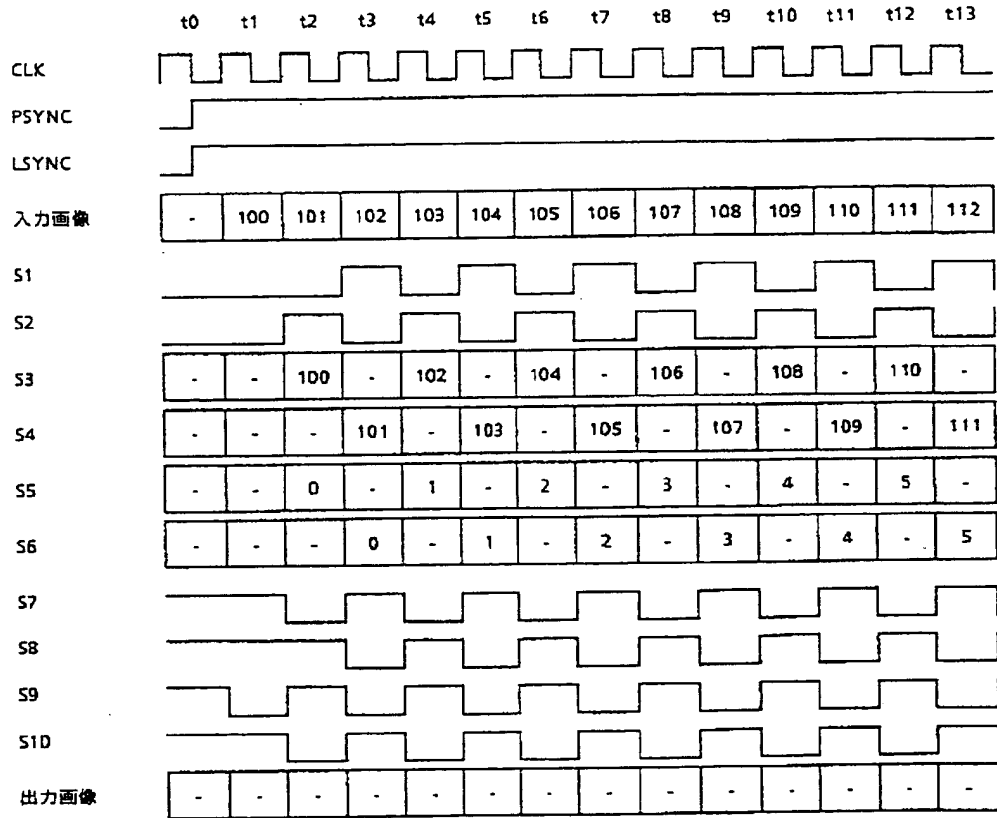
一実施形態に係る画像処理装置の具体的な構成を示すブロック図

【図4】



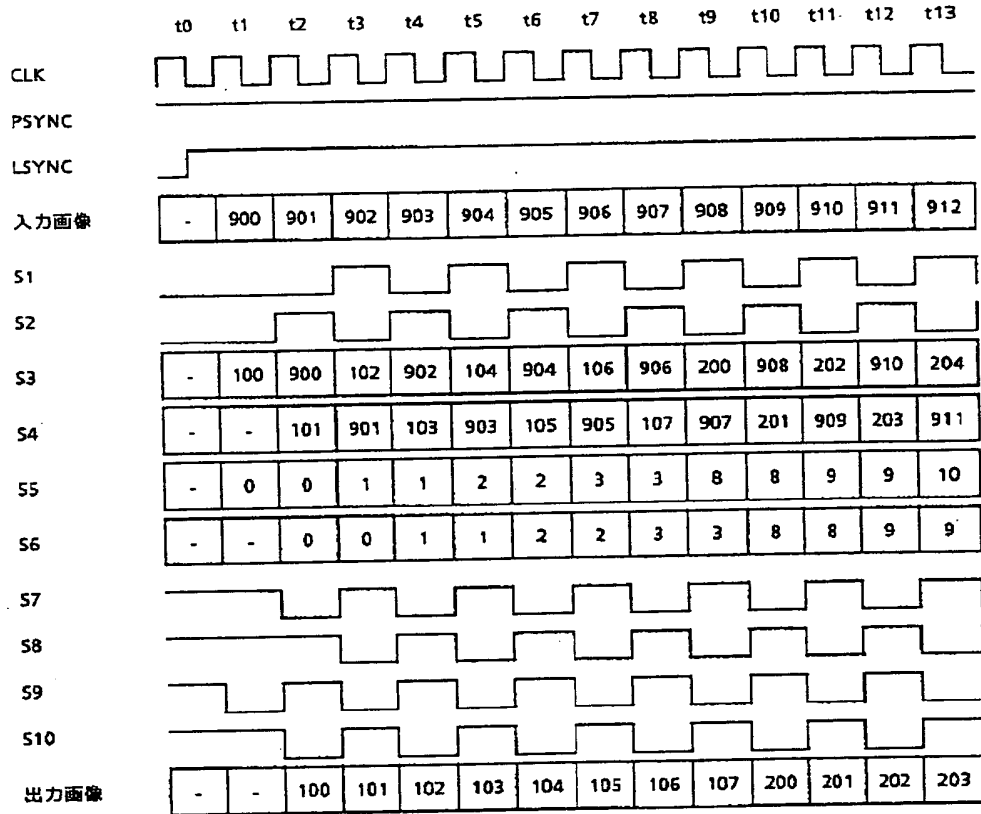
ブロック順次の画像データを示す図

【図6】



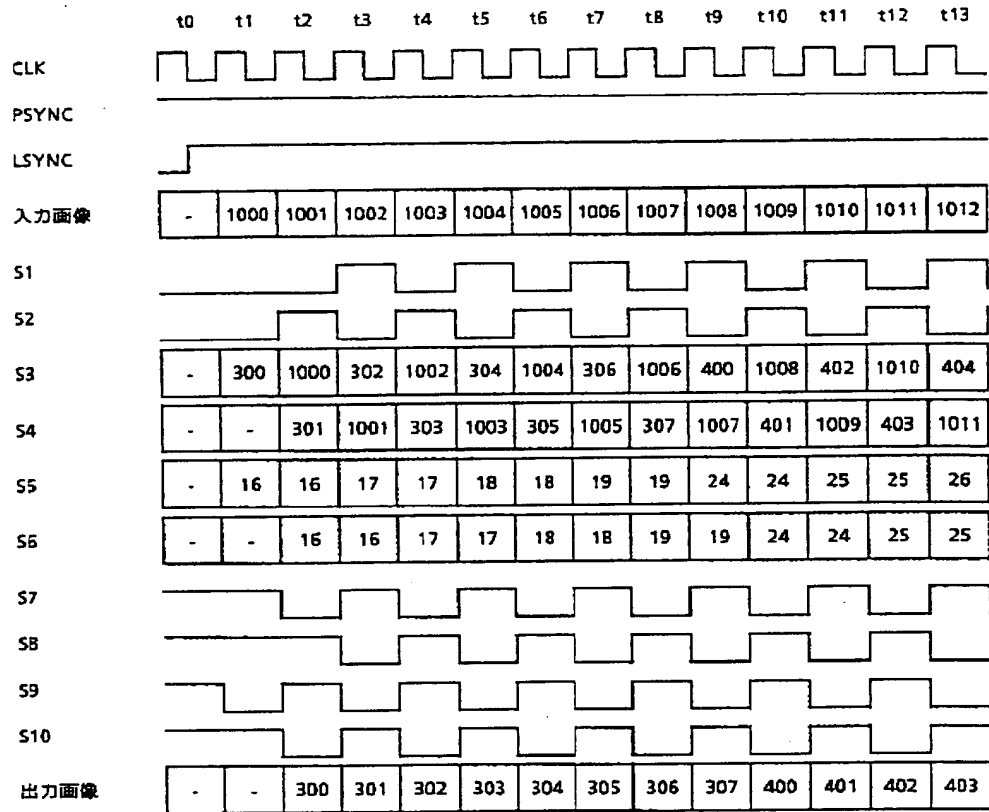
ラスタ順次からブロック順次への変換動作のタイミングチャート (その1)

【図 7】



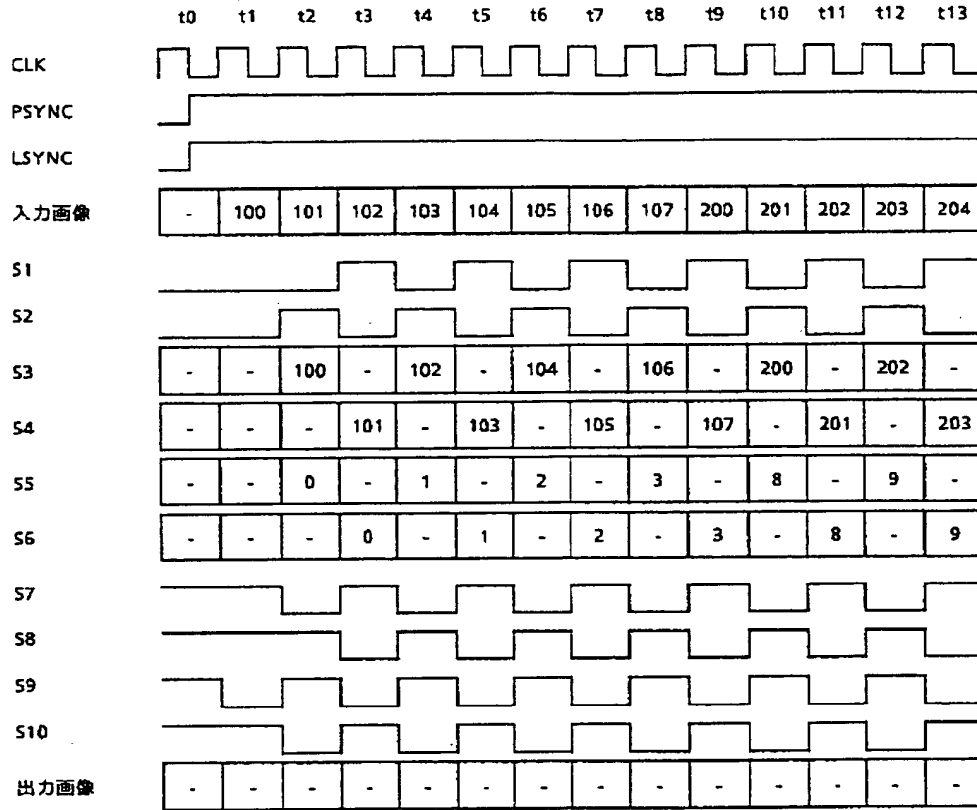
ラスタ順次からブロック順次への変換動作のタイミングチャート (その2)

【図 8】



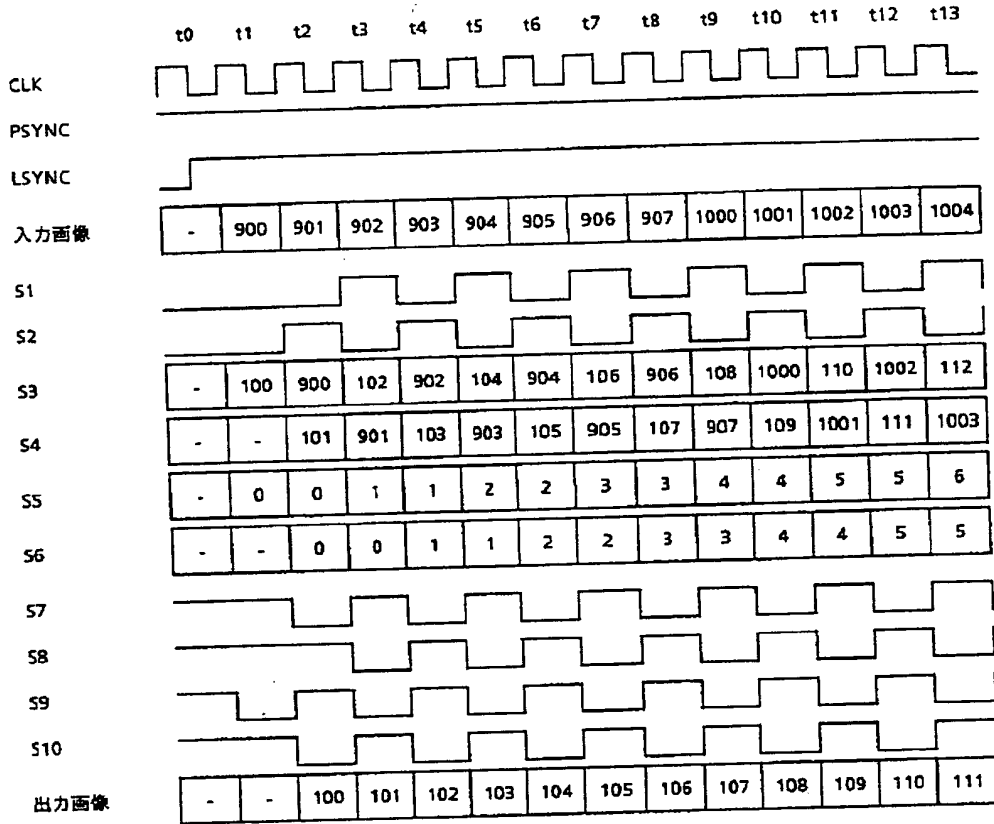
ラスタ順次からブロック順次への変換動作のタイミングチャート (その3)

【図 9】



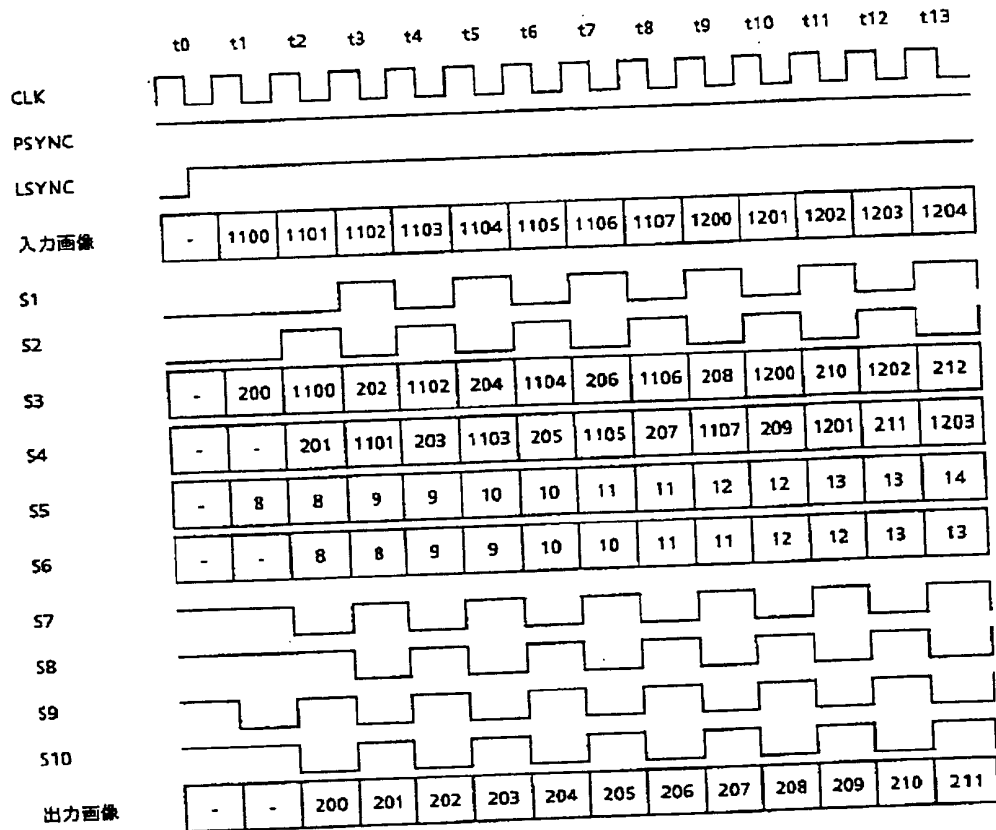
ブロック順次からラスタ順次への変換動作のタイミングチャート (その1)

【図10】



ブロック順次からラスタ順次への変換動作のタイミングチャート (その2)

【図 11】



ブロック順次からラスタ順次への変換動作のタイミングチャート (その3)